

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-343701

(43)Date of publication of application : 24.12.1993

(51)Int.CI.

H01L 29/788
H01L 29/792
G11C 11/406
G11C 16/06
H01L 27/115

(21)Application number : 04-149529

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.06.1992

(72)Inventor : MARUYAMA AKIRA

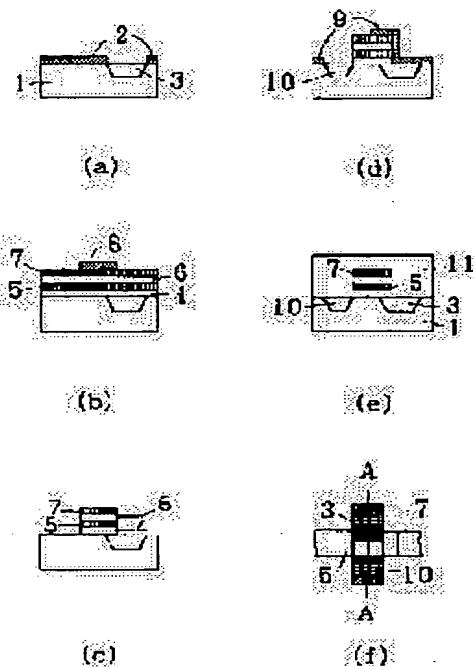
(54) SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor storage device capable of selected or unselected erasable operation in a main body, by providing a capacity between a floating gate electrode and a drain region.

CONSTITUTION: After a photoresist 2 is applied to a semiconductor substrate 1, a first conductive impurity material is implanted to form a first conductive impurity region 3. An insulating film 4, a first conductive layer 5, an insulating film 6, and a second conductive layer 7 are formed. With a photoresist 8 applied thereon, the insulating films 4 and 6 and the conductive layers 5 and 7 are etched so that the first conductive layer 5 located on the first conductive impurity region 3 is formed. With a photoresist 9 applied thereon, a conductive impurity is implanted to form a second conductive impurity region 10, and finally an insulating film 11 is formed.

Consequently, the first conductive layer 5 as a floating electrode, the second conductive layer 7 as a control electrode, the first conductive impurity region 3 as a drain region, and the second conductive impurity region 10 as a source region are formed.



LEGAL STATUS

[Date of request for examination] 11.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3206106

[Date of registration] 06.07.2001

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-343701

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 29/788

29/792

G 11 C 11/406

H 01 L 29/78 371

G 11 C 11/34 363

審査請求 未請求 請求項の数4(全5頁) 最終頁に続く

(21)出願番号

特願平4-149529

(22)出願日

平成4年(1992)6月9日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 丸山 明

長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

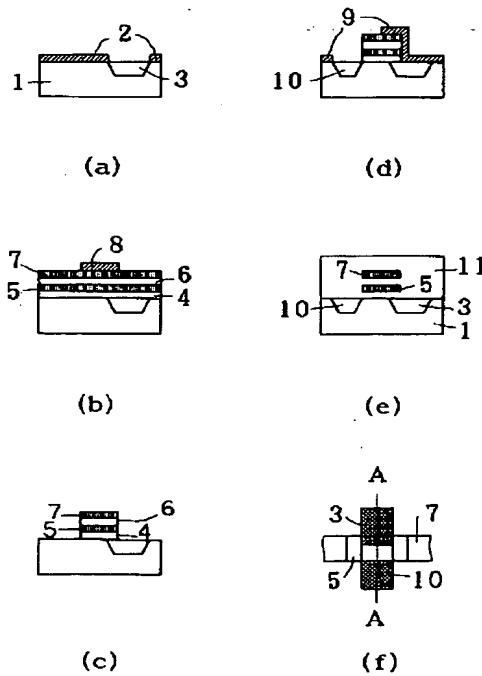
(54)【発明の名称】 半導体記憶装置及び半導体記憶装置の製造方法

(57)【要約】

【目的】フラッシュEEPROMに選択、非選択の消去動作を持たせる。

【構成】基板1をGNDレベル、ソース領域10をVPP1レベルとし、コントロールゲート電極7とドレイン領域3の少なくとも一方をVPP2レベルとすることで、フローティングゲート電極5の電位を上げ、フローティングゲート電極5とソース領域10間の電位差を小さくし、トンネル電流を発生を抑えることで消去動作を防止する。フローティングゲート電極5、ドレイン領域3間に十分な容量を持たせたため、データの消去動作時にドレイン領域3の電位を上げることでも、消去動作を防止できる。

【効果】また、書き込み動作時においてもドレイン領域の電位の印加に伴い、フローティングゲート電極の電位も上がるため、書き込み動作の効率が上がる。



【特許請求の範囲】

【請求項1】 フローティングゲート電極とコントロールゲート電極を備え、前記フローティングゲート電極へ電子を注入する書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、前記フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリートランジスタを含んで成る半導体記憶装置において、前記フローティングゲート電極と前記ドレイン領域との間に前記消去動作を制御する容量を備えたことを特徴とする半導体記憶装置。

【請求項2】 消去動作時にドレイン領域に電位を印加する手段を備えたことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、前記容量を前記フローティングゲート電極端部及び内部の下に前記ドレイン領域を備えたことで設けたことを特徴とする半導体記憶装置。

【請求項4】 フローティングゲート電極とコントロールゲート電極を備え、前記フローティングゲート電極へ電子を注入する書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、前記フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリートランジスタを含んで成る半導体記憶装置の製造方法において、半導体基板上的一部に前記ドレイン領域となる第1の導電性の不純物を注入する工程と、前記半導体基板上に前記第1の導電性の不純物を注入した領域の少なくとも一部を含む上部に前記フローティングゲート電極となる第1の導体層を形成する工程と、前記第1の導体層上に前記コントロールゲート電極となる第2の導体層を形成する工程と、前記半導体基板上的一部に前記ソース領域となる第2の導電性の不純物を注入する工程からなることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体装置に関し、特にフラッシュ（一括消去型）EEPROMの記憶素子の構造およびその製造方法に関するものである。

【0002】

【従来の技術】 図4（e）は従来の半導体記憶装置の断面図である。1は基板、10はソース領域、3はドレイン領域、5はフローティングゲート電極、7はコントロールゲート電極、11は絶縁膜である。

【0003】 書き込み動作を説明する。書き込みはコントロールゲート電極7をVPP1レベル（約12V）、ソース領域10、基板1を各々GNDレベル、ドレイン領域3をVPP2レベル（約7V）とすることで、メモリー素子にチャンネル電流を発生させる。するとドレイン領域3端部にホットエレクトロンが発生し、フローティングゲート電極5に電子が注入されることで書き込み

が行われる。

【0004】 次に消去動作を説明する。消去はコントロールゲート電極7、基板1を各々GNDレベル、ソース領域10をVPP1レベル、ドレイン領域3をオープンレベルとして、フローティングゲート電極5とソース領域10間にトンネル電流を発生させ、フローティングゲート電極5からソース領域10に電子を放出させることで消去を行う。

【0005】 図4（a）～（e）は従来の半導体記憶装置の製造方法を工程順に示すための断面図である。この工程を順に追って説明していく。

【0006】 まず、図4（a）の如く半導体基板1上に絶縁膜4、導体層5、絶縁膜6、導体層7を形成する。次にフォトレジスト12を塗布することで図4（b）の如く所定の形状にエッチングする。次に図4（c）の如くフォトレジスト13を塗布してから、導電性の不純物を注入しその領域3を形成する。次に図4（d）の如くフォトレジスト14を塗布してから、導電性の不純物を注入しその領域10を形成する。最後に図4（e）の如く絶縁膜11を形成する。この様にして、導体層5をフローティングゲート電極、導体層7をコントロールゲート電極、導電性の不純物領域3をドレイン領域、導電性の不純物領域10をソース領域として形成する。

【0007】 また、図4（f）は平面図であり、そのB-Bの断面図が図4（e）に相当する。

【0008】

【発明が解決しようとする課題】 上記従来技術では、消去動作時に特定の半導体記憶素子の消去を防止する（非選択状態）には、ソース領域にVPP1レベルの電位を印加しない、あるいはソース領域、コントロールゲート電極の両方にVPP1レベルの電位を印加する等を行い、フローティングゲート電極とソース領域間のトンネル電流の発生を抑えることで行っていた。

【0009】 通常フラッシュ（一括消去型）EEPROMでは複数の記憶素子からなっており、そのソース領域、コントロールゲート電極は特定な数だけ各々まとめて接続されている。したがって、消去動作時に半導体記憶素子の消去を防止する（非選択の消去動作）には、この接続された特定な単位毎でしか実行できない問題があった。

【0010】 本発明はこの様な問題を解決するもので、その目的とするところは消去動作においても単一の半導体記憶装置に選択、非選択の消去動作を持たせることを可能にすることである。

【0011】

【課題を解決するための手段】 本発明の半導体記憶装置は、フローティングゲート電極とコントロールゲート電極を備え、前記フローティングゲート電極へ電子を注入する書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、前記フローティングゲート

電極から電子を放出する消去動作をソース領域のトンネルで行うメモリートランジスタを含んで成る半導体記憶装置において、前記フローティングゲート電極と前記ドレイン領域部との間に前記消去動作を制御する容量を備えたことを特徴とする。

【0012】また、本発明の半導体記憶装置は消去動作時にドレイン領域に電位を印加する手段を備えたことを特徴とする。

【0013】また、本発明の半導体記憶装置は、前記容量を前記フローティングゲート電極端部及び内部の下に前記ドレイン領域を備えたことで設けたことを特徴とする。

【0014】本発明の半導体記憶装置の製造方法は、フローティングゲート電極とコントロールゲート電極を備え、前記フローティングゲート電極へ電子を注入する書き込み動作をドレイン領域端部で発生するホットエレクトロンで行うと共に、前記フローティングゲート電極から電子を放出する消去動作をソース領域のトンネルで行うメモリートランジスタを含んで成る半導体記憶装置の製造方法において、半導体基板上的一部に前記ドレイン領域となる第1の導電性の不純物を注入する工程と、前記半導体基板上に前記第1の導電性の不純物を注入した領域の少なくとも一部を含む上部に前記フローティングゲート電極となる第1の導体層を形成する工程と、前記第1の導体層上に前記コントロールゲート電極となる第2の導体層を形成する工程と、前記半導体基板上的一部に前記ソース領域となる第2の導電性の不純物を注入する工程からなることを特徴とする。

【0015】

【作用】上記手段によれば、フローティングゲート電極、ドレイン領域間に十分な大きさの容量があるため、データの消去動作時にドレイン領域の電位を上げることでも、ソース領域、フローティングゲート電極間の電位差を小さくすることができ、トンネル電流の発生を抑えることで消去動作を防止することが可能である。

【0016】

【実施例】図1(e)は本発明の第1の実施例における半導体記憶装置の断面図である。1は基板、10はソース領域、3はドレイン領域、5はフローティングゲート電極、7はコントロールゲート電極、11は絶縁膜である。

【0017】書き込み動作を説明する。書き込みはコントロールゲート電極7をVPP1レベル(約12V)、ソース領域10、基板1を各々GNDレベル、ドレイン領域3をVPP2レベル(約7V)とすることで、メモリー素子にチャンネル電流を発生させる。するとドレイン領域3端部にホットエレクトロンが発生し、フローティングゲート電極5に電子が注入されることで書き込みが行われる。

【0018】次に消去動作を説明する。消去はコントロ

ールゲート電極7、ドレイン領域3、基板1を各々GNDレベル、ソース領域10をVPP1レベルとして、フローティングゲート電極5とソース領域10間にトンネル電流を発生させ、フローティングゲート電極5からソース領域10に電子を放出させて消去を行う。

【0019】次に非選択の消去動作を説明する。非選択の消去は、基板1をGNDレベル、ソース領域10をVPP1レベルとし、コントロールゲート電極7とドレイン領域3の少なくとも一方をVPP2レベルとして、フローティングゲート電極5の電位を上げ、フローティングゲート電極5とソース領域10間の電位差を小さくし、トンネル電流を発生を抑えることで消去動作を防止する。本実施例の場合、フローティングゲート電極、ドレイン領域間に十分な容量を持たせることができるので、データの消去動作時にドレイン領域の電位を上げることでも、消去動作を防止することが可能である。

【0020】図2は本発明の第1の実施例を示す回路図である。20～23は図1(e)で示した構造を持つ半導体記憶装置、BL1、BL2はピットラインであり各々半導体記憶装置のドレイン(図1(e)の3に相当)に接続されており、WL1、WL2はワードラインであり各々半導体記憶装置のコントロールゲート(図1(e)の7に相当)に接続されており、SLはソースラインであり各々半導体記憶装置のソース(図1(e)の10に相当)に接続されている。また、24、25、26は各々ピットライン、ワードライン、ソースラインの電位印加回路である。また、ここでは簡単のために4つの半導体記憶装置の構成とした。

【0021】書き込み動作を説明する。半導体記憶装置20を書き込む場合はWL1をVPP1レベル、BL1をVPP2レベル、WL2、BL2、SLを各々GNDレベルとして、半導体記憶装置20にチャンネル電流を発生させ、そのドレイン領域端部にホットエレクトロンを発生させ、フローティングゲート電極に電子を注入することで書き込みを行う。この場合、半導体記憶装置21～23ではチャンネル電流が発生しないため書き込みは行われない。

【0022】次に消去動作を説明する。半導体記憶装置20を消去する場合はWL1、BL1を各々GNDレベル、WL2、BL2を各々VPP2レベル、ソースラインSLをVPP1レベルとして、半導体記憶装置20のフローティングゲート電極とソース領域間にトンネル電流を発生させ、フローティングゲート電極からソース領域に電子を放出させて消去を行う。この場合、半導体記憶装置21～23ではフローティングゲート電極とソース領域間にトンネル電流が発生しないため消去は行われない。

【0023】図3は本発明の第2の実施例における半導体記憶装置の平面図である。この場合はフローティング

ゲート電極5とドレイン領域3をチャンネル部以外の所に張り出させ、そこに容量を形成した。

【0024】次に、本発明の実施例における半導体記憶装置の製造方法を説明する。図1(a)～(e)は製造方法を工程順に示すための断面図である。この工程を順に追って説明していく。

【0025】まず、図1(a)の如く半導体基板1上にフォトレジスト2を塗布することで所定の位置にイオン打ち込み法により第1の導電性の不純物を注入しその領域を形成する。この場合第1の導電性の不純物として燐や砒素を 1×10^{13} から 1×10^{14} atoms·cm⁻²程度注入する。次に図1(b)の如く半導体基板1上に熱酸化法により絶縁膜4、前記絶縁膜4上にCVD法により第1の導体層5、前記第1の導体層5上に絶縁膜6、前記絶縁膜6上に第2の導体層7を形成する。この場合絶縁膜4、6はゲート絶縁膜として使用し、各々膜厚を10nm、25nm程度とする。また、第1、第2の導体層5、7は多結晶シリコン膜を使う。次にフォトレジスト8を塗布することで図1(c)の如く所定の形状に絶縁膜4、6、導体層5、7をエッチングし、前記半導体基板上に前記第1の導電性の不純物を注入した領域3の少なくとも一部を含む上部に第1の導体層を形成する。次に図1(d)の如くフォトレジスト9を塗布してから、イオン打ち込み法により導電性の不純物を注入しその領域10を形成する。この場合第2の導電性の不純物として、トンネル電流を発生し易くする為に、燐や砒素を第1の導電性の不純物の濃度より濃い 1×10^{15} から 1×10^{16} atoms·cm⁻²程度注入する。最後に図1(e)の如くCVD法により絶縁膜11を形成する。この様にして、第1の導体層5をフローティングゲート電極、第2の導体層7をコントロールゲート電極、第1の導電性の不純物領域3をドレイン領域、第2の導電性の不純物領域10をソース領域として形成する。

【0026】以上述べた様に本実施例ではドレイン領域の少なくとも一部を含む上部にフローティングゲート電極を形成するため、フローティングゲート電極、ドレイン領域間に十分な大きさの容量を持たせることができ。図1(f)は平面図であり、そのA-Aの断面図が図1(e)に相当するが、ドレイン領域3とフローティングゲート電極5との重なりを十分に大きくとることで、前記容量を確保することが可能である。

【0027】以上本発明を前記実施例に基づき説明したが、本発明は前記実施例に限定される物ではなく、その要旨を逸脱しない範囲において、変形し得ることは勿論である。

【0028】例えば本半導体記憶装置の実施例では容量

をフローティングゲート電極とドレイン領域との重なりを取ることで形成したが、これは例えばフローティングゲート電極とドレイン領域に接続された配線層との重なりを取ることで形成しても良い。

【0029】また、例えば本半導体記憶装置の製造方法での実施例では第1、第2の導電性の不純物を注入する工程を分けて、説明したが、第2の導電性の不純物を注入する工程を第1の導電性の不純物を注入する工程と同時にあっても良い。

10 【0030】また、例えば本半導体記憶装置の製造方法での実施例では第1、第2の導体層をエッチングする工程を同時として説明したが、これは別々の工程として行っても良い。

【0031】

【発明の効果】以上述べた様に本発明によれば、フローティングゲート電極、ドレイン領域間に十分な大きさの容量があるため、データの消去動作時にドレイン領域の電位を上げることでも、ソース領域、フローティングゲート電極間の電位差を小さくすることができ、トンネル電流の発生を抑えることで消去動作を防止することができる。

20 【0032】また、書き込み動作時においてもドレイン領域の電位の印加に伴い、フローティングゲート電極の電位も上がるため、書き込み動作の効率が上がる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例における主要断面図及び平面図。

30 【図2】 本発明の第1の実施例における回路図。

【図3】 本発明の第2の実施例における平面図。

【図4】 従来の実施例における主要断面図及び平面図。

【符号の説明】

1 基板

2、8、9、12、13、14 フォトレジスト

3 ドレイン領域

4、6、11 絶縁膜

5 フローティングゲート電極

7 コントロールゲート電極

10 ソース領域

20～23 半導体記憶装置

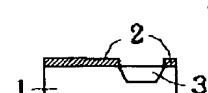
24～26 電位印加回路

WL1、2 ワードライン

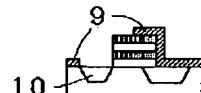
BL1、2 ピットライン

SL ソースライン

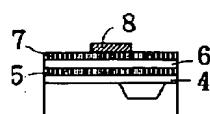
【図1】



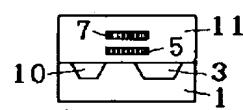
(a)



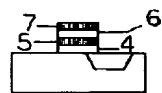
(d)



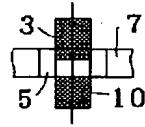
(b)



(e)



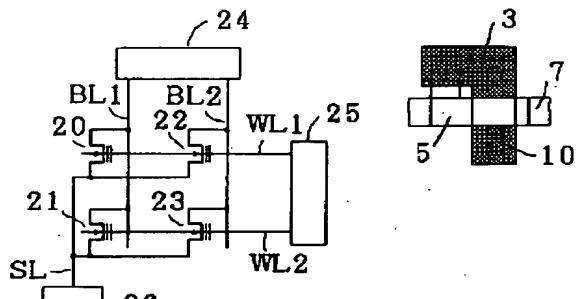
(c)



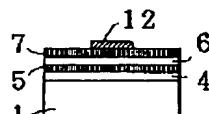
(f)

(a)

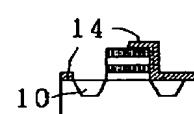
【図2】



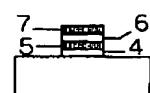
【図4】



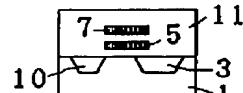
(a)



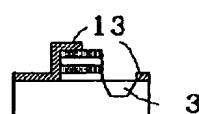
(d)



(b)

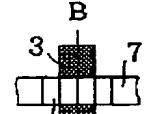


(e)



3

(c)



B

フロントページの続き

(51) Int.CI.³G 11 C 16/06
H 01 L 27/115

識別記号

府内整理番号

F I

技術表示箇所

6741-5L
8728-4MG 11 C 17/00
H 01 L 27/103 0 9 D
4 3 4